

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-173035

(43)Date of publication of application : 26.06.1998

(51)Int.Cl.

H01L 21/76  
H01L 21/304  
H01L 27/04  
H01L 21/822

(21)Application number : 08-329379

(71)Applicant : HITACHI LTD

(22)Date of filing : 10.12.1996

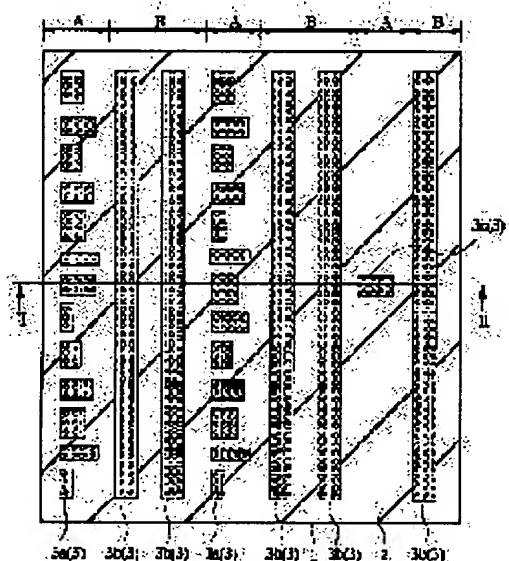
(72)Inventor : NARUI SEIJI  
NONAKA YUSUKE

## (54) SEMICONDUCTOR INTEGRATED CIRCUIT AND DESIGN METHOD THEREOF

(57)Abstract:

**PROBLEM TO BE SOLVED:** To improve the surface flatness of a semiconductor substrate for a semiconductor integrated circuit device having element isolating shallow regions.

**SOLUTION:** A semiconductor integrated circuit device has a semiconductor substrate 1 having element isolating shallow trench regions 2 formed by the chemical-mechanical polishing. A semiconductor region 3 surrounded with each shallow trench region 2 includes a semiconductor region 3a formed on an element forming region A; the region 3a acting as an active region of an MISFET in the semiconductor integrated circuit device and it also includes a dummy semiconductor region 3b formed on a semiconductor region B of the semiconductor substrate 1, not so as to form an isolated semiconductor region. The spacing of the semiconductor regions 3 is 100 $\mu$ m or less.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-173035

(43) 公開日 平成10年(1998) 6月26日

(51) Int.Cl.<sup>6</sup>

識別記号

F I

H 0 1 L 21/76  
21/304  
27/04  
21/822

3 2 1

H 0 1 L 21/76  
21/304  
27/04

N  
3 2 1 S  
A

審査請求 未請求 請求項の数 8 O L (全 20 頁)

(21) 出願番号 特願平8-329379

(22) 出願日 平成8年(1996)12月10日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 成井 誠司

東京都青梅市今井2326番地 株式会社日立  
製作所デバイス開発センタ内

(72) 発明者 野中 裕介

東京都青梅市今井2326番地 株式会社日立  
製作所デバイス開発センタ内

(74) 代理人 弁理士 筒井 大和

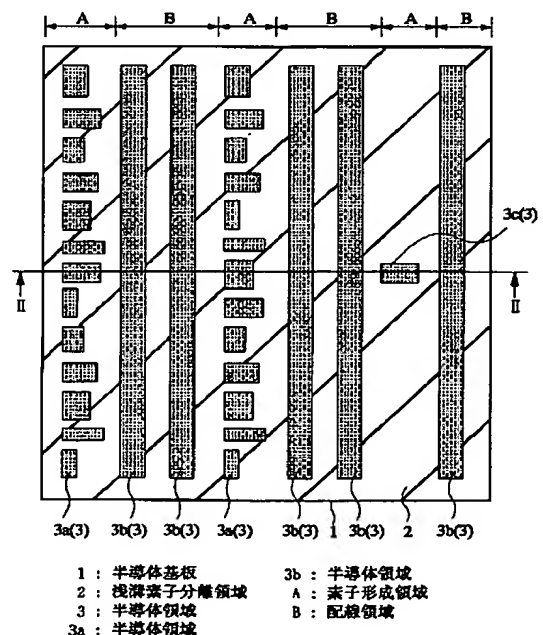
(54) 【発明の名称】 半導体集積回路装置およびその設計方法

(57) 【要約】

【課題】 浅溝素子分離領域を有する半導体集積回路装置の半導体基板表面の平坦性を向上する。

【解決手段】 CMP法を用いて形成される浅溝素子分離領域2を半導体基板1に有する半導体集積回路装置において、浅溝素子分離領域2に囲まれる半導体領域3のうち、素子形成領域Aに形成され、半導体集積回路装置を構成するMISFETの活性領域として作用する半導体領域3aとともに、配線領域Bの半導体基板1にもダミー領域として半導体領域3bを形成し、孤立した半導体領域が形成されないようにする。また、半導体領域3間の間隔は100μm以下とする。

図 1



## 【特許請求の範囲】

【請求項 1】 浅溝素子分離構造と、前記浅溝素子分離構造に囲まれた半導体領域とを有する半導体基板の主面に、各々の最小加工寸法が異なる複数の素子形成領域を含む半導体集積回路装置であって、

前記素子形成領域間の境界領域の前記半導体基板の主面に、前記境界領域に隣接する前記素子形成領域と同等の密度、またはそれらの間の密度で前記半導体領域が形成されていることを特徴とする半導体集積回路装置。

【請求項 2】 浅溝素子分離構造と、前記浅溝素子分離構造に囲まれた半導体領域とを有する半導体基板の主面に、各々の最小加工寸法が異なる複数の素子形成領域を含む半導体集積回路装置であって、前記素子形成領域内の素子密度が低い低密度素子領域の前記半導体基板の主面に、前記素子形成領域と同等の密度で前記半導体領域が形成されていることを特徴とする半導体集積回路装置。

【請求項 3】 請求項 2 記載の半導体集積回路装置であって、前記低密度素子領域は、周辺回路領域内の配線領域であることを特徴とする半導体集積回路装置。

【請求項 4】 請求項 1、2 または 3 記載の半導体集積回路装置であって、前記半導体領域は、互いに  $100\mu\text{m}$  以内の距離を隔てて形成されていることを特徴とする半導体集積回路装置。

【請求項 5】 請求項 1、2、3 または 4 記載の半導体集積回路装置であって、前記半導体領域には、前記半導体基板への給電端子、半導体集積回路装置の電源安定化容量、または半導体集積回路装置の静電保護素子が形成されていることを特徴とする半導体集積回路装置。

【請求項 6】 半導体基板の主面に、浅溝素子分離構造と、前記浅溝素子分離構造に囲まれた半導体領域とを有する半導体集積回路装置であって、前記半導体基板の任意の領域において前記半導体領域の密度が均一であることを特徴とする半導体集積回路装置。

【請求項 7】 半導体基板の主面に、浅溝素子分離構造と、前記浅溝素子分離構造に囲まれた半導体領域とを有する半導体集積回路装置の設計方法であって、

(a) 半導体集積回路素子の活性領域をレイアウトする第 1 のステップと、

(b) 前記活性領域の密度が低い低密度領域を抽出する第 2 のステップと、

(c) 前記低密度領域にダミー領域を生成する第 3 のステップと、

(d) 前記ダミー領域のパターンと前記活性領域のパターンとを合成することにより前記半導体領域のパターンを生成する第 4 のステップと、

を含むことを特徴とする半導体集積回路装置の設計方法。

【請求項 8】 請求項 7 記載の半導体集積回路装置の設計方法であって、

前記活性領域間の距離が  $100\mu\text{m}$  以上である場合には、前記活性領域の密度が低い低密度領域であると判定することを特徴とする半導体集積回路装置の設計方法。

## 【発明の詳細な説明】

【0001】

10 【発明の属する技術分野】本発明は、半導体集積回路装置およびその製造技術に関し、特に、浅溝素子分離構造を有する半導体集積回路装置に適用して有効な技術に関するものである。

【0002】

【従来の技術】VLSI 等の半導体集積回路装置に用いられる素子分離の技術は、たとえば、昭和 59 年 11 月 30 日、株式会社オーム社発行、「LSI ハンドブック」、p129 に記載されているように、選択酸化分離技術が用いられている。その理由としては、分離用領域とデバイス領域との間に余裕距離が必要なく、しかもコンタクトホールなどのセルフアライメント技術の併用も可能なことから半導体集積回路装置の集積度の向上に適した方式であり、また、デバイス側面の接合容量が p n 接合分離とは異なり存在しないことから、浮遊容量の減少をもたらす、半導体集積回路装置の高速化にも寄与するという点をあげることができる。

【0003】選択酸化分離技術を用いた素子分離領域の形成は、前記文献の p390~391 に記載されているように、半導体基板上に形成したシリコン窒化膜をマスクとして選択酸化により厚い酸化膜を形成する LOCOS (Local Oxidation of Silicon) 法が知られている。

【0004】

【発明が解決しようとする課題】しかし、LOCOS 法によっては、半導体集積回路装置の微細化に伴うさらなる高集積化の要求に対応することが困難になるという問題を生じている。すなわち、高集積化を実現するための半導体集積回路素子自体の微細化とともに、半導体集積回路素子を電気的に分離するための素子分離領域の面積を微細化する必要があるが、LOCOS 法においてはバズピークの存在が無視できず、微細化に一定の限度を生じることとなる。

【0005】そこで、LOCOS 法に代わる素子分離方法として、バズピーク等の活性領域と素子分離領域との境界における遷移領域の存在しない浅溝素子分離法が開発されている。しかし、浅溝素子分離法においても以下に示すような問題のあることを、本発明者らは、実験および検討により認識した。

【0006】すなわち、浅溝素子分離を形成する際に基板表面を平坦化する必要があり、その技術として、ドライエッチング技術あるいは化学的機械的研磨 (Chem

ical Mechanical Polishin  
g、以下CMPという)技術などが知られているが、近年では、ミクロな領域での平坦化能力に優れているCMP技術が主に使用されるようになってきている。

【0007】CMP技術を用いた浅溝素子分離領域の形成は、半導体基板に浅溝を形成した後、半導体基板の全面に絶縁膜を堆積し、浅溝以外の領域つまり半導体基板の凸領域上の前記絶縁膜をCMP法により研磨して平坦化し、浅溝に絶縁体を埋め込むことをその概要とするものである。

【0008】このようなCMP法の本質的な問題として、エッチレートの下地パターン密度依存性がある。つまり、前記凸領域パターンの密度が高密度な場合にはエッチレートは低く、低密度な場合にはエッチレートが高くなるという研磨特性を有する。

【0009】したがって同一基板内にパターン密度の異なる領域が混在する場合には、そのようなパターン密度の粗密に起因したエッチレートの相違により、CMP研磨後の表面平坦性にばらつきを生じることとなる。特に、広い素子分離領域に孤立した比較的小さなパターンが存在する場合、その領域における孤立した小パターンのエッチレートは非常に高くなり、研磨によって凹み(dishing)を生じるという問題を生じる。

【0010】この凹みの生じる状況を図22に基づいて説明する。図22(a)は、本発明者らが検討したパターン密度と凹み量との関係を示した相関図であり、図22(b)は、凹み量を定量化するための定義を説明する概念図である。

【0011】図22(b)に示すように、半導体基板101にラインアンドスペースを形成し、スペース部102には孤立部103を形成した。この孤立部103が問題とする小パターンを代表する部分である。CMP法による浅溝素子分離領域の形成と同様に、半導体基板の凸部つまりライン部104および孤立部103の表面にはシリコン窒化膜が形成されている。このような半導体基板101上に、たとえばTEOSシリコン酸化膜を全面に形成した後、このTEOSシリコン酸化膜をCMP研磨し、研磨後のライン部104のシリコン窒化膜厚 $t_1$ と孤立部103のシリコン窒化膜厚 $t_2$ との差を凹み量と定義した。なお、CMP条件は、荷重を $500\text{ g/cm}^2$ 、研磨時間を8分、研磨量をベタ膜に換算して $1\text{ }\mu\text{m}$ 、初期段差を $0.8\text{ }\mu\text{m}$ とした。

【0012】パターン密度は、上記のラインアンドスペースの幅を変化させることにより代用した。つまり、ラインアンドスペース幅をパターン密度の代用特性とし、ラインアンドスペース幅の変化に対する上記凹み量を試験した結果が図22(a)に示す特性である。この結果、ラインアンドスペース幅が $1\text{ mm}$ を越える場合には、凹み量が急激に増大することがわかる。このような試験では、ラインアンドスペースによりパターン密度を

特徴化しているため、 $1\text{ mm}$ という臨界値に実際のパターンでの物理的意味が存在するとは言えないが、少なくともパターン密度が低下すれば、ある臨界値を境に凹み量が急激に増大するという実験的事実が存在することは認められる。

【0013】このような現象は、活性領域パターンが周期的に繰り返されるメモリセルアレイ領域やゲートアレイ領域ではあまり見られず、各種の機能回路が混在する周辺回路領域で発生しやすい。特に、周辺回路内の配線領域には何ら素子が設けられないため、配線領域の半導体基板は素子分離領域として設計されることが一般的であり、このような素子分離領域つまり配線領域に隣接した素子領域では前記の凹みが発生しやすい。

【0014】また、メモリセルアレイ領域もしくはゲートアレイ領域、直接周辺回路領域または間接周辺回路領域等、一定のパターン密度を有する領域の間の境界領域では、各領域間を結ぶ配線等が設けられているに過ぎないため、前記の配線領域と同様に素子分離領域のみが設けられているのが一般的である。したがって、このような境界領域に素子が設けられている場合、または境界領域に隣接する素子領域でも前記の凹みが発生しやすい。

【0015】さらに、ウェハ内のチップ領域の間であるスクライブ領域には、TEGパターン等が離散的に形成されているに過ぎないため、チップ領域内の半導体集積回路素子が形成された領域よりもパターン密度が小さく、前記の凹みが発生しやすい。

【0016】上記のような凹みが生ずると、表面形状の高低差に起因したフォトリソグラフィ時のマージンが低下することとなり、このようなフォトマージンの低下は、さらなる高集積化に対する制限要因となる。

【0017】一方、従来、周辺回路領域等に存在する配線領域の下部は、単なる素子分離領域であって、何らかの機能を有する素子が設けられていないいわばデッドスペースであった。このようなデッドスペースは、さらなる半導体集積回路装置の集積度向上のためにはでき得る限り少なくすることが望ましい。

【0018】本発明の目的は、CMP法を用いて浅溝素子分離領域を形成する場合に、半導体基板の浅溝による凸パターン密度の粗密によって発生する凹みを防止することができる半導体集積回路装置の構造を提供することにある。

【0019】本発明の他の目的は、凹みにより発生する表面形状の高低差に起因したフォトリソグラフィ時のマージンが低下を防止して、さらなる高集積化への対応を容易にする技術を提供することにある。

【0020】本発明のさらに他の目的は、従来デッドスペースとなっていた素子分離領域に機能素子を形成する技術を提供し、半導体集積回路装置の集積度と性能の向上を図ることができる技術を提供することにある。

【0021】本発明のさらに他の目的は、半導体基板の

浅溝に起因する半導体基板表面の凹みを発生しない半導体領域パターンの設計を容易に行うことができる技術を提供することにある。

【0022】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0023】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0024】(1)本発明の半導体集積回路装置は、浅溝素子分離構造と浅溝素子分離構造に囲まれた半導体領域とを有する半導体基板の主面に、各々の最小加工寸法が異なる複数の素子形成領域を含む半導体集積回路装置であって、素子形成領域間の境界領域の半導体基板の主面に、境界領域に隣接する素子形成領域と同等の密度、またはそれらの間の密度で半導体領域が形成されているものである。

【0025】このような半導体集積回路装置によれば、境界領域の半導体基板の主面に、境界領域に隣接する素子形成領域と同等の密度、またはそれらの間の密度で半導体領域が形成されているため、浅溝素子分離構造を形成する際のCMP研磨時に、凸部分となる半導体領域が、境界領域に孤立して形成されることがない。そのため、境界領域あるいは境界領域に隣接する素子形成領域の半導体領域に凹みが形成されず、この結果、凹みに起因するフォトリソグラフィのフォーカスずれを防止し、高集積化に対応した半導体集積回路装置とすることができる。

【0026】なお、半導体基板の主面上に形成される素子形成領域としては、メモリセルアレイ領域もしくはゲートアレイ領域等、最も最小加工寸法の小さく、素子が規則的に配列された領域、それら素子が規則的に配列された領域の周辺に配置され、比較的最小加工寸法が大きい直接周辺回路領域、またはその周辺に配置され、最小加工寸法の最も大きい間接周辺回路領域等を例示することができる。

【0027】また、半導体領域の形状としては、メモリセル領域、ゲートアレイ領域または周辺回路領域を構成するMOSFETの活性領域と同一の形状の他に、単純な方形、矩形、ラインアンドスペースのライン部分等を例示することができる。

【0028】(2)本発明の半導体集積回路装置は、浅溝素子分離構造と浅溝素子分離構造に囲まれた半導体領域とを有する半導体基板の主面に、各々の最小加工寸法が異なる複数の素子形成領域を含む半導体集積回路装置であって、素子形成領域内の素子密度が低い低密度素子領域の半導体基板の主面に、素子形成領域と同等の密度で半導体領域が形成されているものである。

【0029】このような半導体集積回路装置によれば、

低密度素子領域の半導体基板の主面に、素子形成領域と同等の密度で半導体領域が形成されているため、浅溝素子分離構造を形成する際のCMP研磨時に、凸部分となる半導体領域が、低密度素子領域に孤立して形成されることがない。そのため、低密度素子領域の半導体領域に凹みが形成されず、この結果、凹みに起因するフォトリソグラフィのフォーカスずれを防止し、高集積化に対応した半導体集積回路装置とすることができる。

【0030】なお、低密度素子領域として、周辺回路領域内の配線領域を例示することができる。従来配線領域の下部には、何ら素子が形成されないため、素子形成密度は低く、このような配線領域に形成される半導体領域は、CMP研磨時に孤立した凸部分となっていたが、本発明では、配線領域に隣接した周辺回路領域と同等の密度で配線領域にも半導体領域を形成するため、孤立した凸部分が形成されず、配線領域の半導体領域および配線領域に隣接する周辺回路領域の半導体領域に凹みは形成されず、凹みに起因するフォトリソグラフィのフォーカスずれを防止し、高集積化に対応した半導体集積回路装置とすることができる。

【0031】(3)本発明の半導体集積回路装置は、前記(1)または(2)記載の半導体集積回路装置であって、半導体領域が互いに100 $\mu$ m以内の距離を隔てて形成されているものである。

【0032】このような半導体集積回路装置によれば、半導体領域が互いに100 $\mu$ m以内の距離を隔てて形成されているため、半導体領域が孤立したものとはならず、浅溝素子分離構造を形成する際のCMP研磨時に半導体領域に凹みを生じることがない。その結果、フォーカスずれを防止して高集積化に対応した半導体集積回路装置とすることができる。

【0033】なお、半導体領域の互いに離間する最大限の数値として100 $\mu$ mを例示する理由は、前記の図22における臨界値が1mmであり、その1mmの数値が導き出された試験条件が単純なラインアンドスペースであるのに対して現実の半導体領域の形状は方形、矩形またはガルウィング形状であることを考慮し、またある程度の余裕を考慮して定性的に算出したためである。

【0034】(4)本発明の半導体集積回路装置は、前記(1)～(3)記載の半導体集積回路装置であって、半導体領域には、半導体基板への給電端子、半導体集積回路装置の電源安定化容量、または半導体集積回路装置の静電保護素子が形成されているものである。

【0035】このような半導体集積回路装置によれば、半導体領域に半導体基板への給電端子、半導体集積回路装置の電源安定化容量または半導体集積回路装置の静電保護素子を形成するため、半導体領域を、単に浅溝素子分離構造を形成する際のCMP研磨時の凹みを防止するためのダミー領域とするに止まらず、積極的に機能素子のための領域として活用することができ、半導体集積回

路装置の集積度の向上に寄与することができる。

【0036】特に、周辺回路領域内の配線領域の半導体領域に前記機能素子を形成する場合には、周辺回路との接続性に優れた配線設計も容易となり、集積度の向上の効果が大きい。

【0037】(5) 本発明の半導体集積回路装置は、半導体基板の主面に浅溝素子分離構造と浅溝素子分離構造に囲まれた半導体領域とを有する半導体集積回路装置であって、半導体基板の任意の領域において半導体領域の密度が均一となっているものである。

【0038】このような半導体集積回路装置によれば、半導体基板の任意の領域において半導体領域の密度が均一であるため、浅溝素子分離構造を形成する際のCMP研磨時に、凸部分となる半導体領域が、半導体基板の全面において孤立して形成されることがない。そのため、半導体基板の全面で半導体領域に凹みが形成されず、この結果、凹みに起因するフォトリソグラフィのフォーカスずれを防止し、高集積化に対応した半導体集積回路装置とすることができる。

【0039】(6) 本発明の半導体集積回路装置の設計方法は、半導体基板の主面に浅溝素子分離構造と浅溝素子分離構造に囲まれた半導体領域とを有する半導体集積回路装置の設計方法であって、(a) 半導体集積回路素子の活性領域をレイアウトする第1のステップと、

(b) 活性領域の密度が低い低密度領域を抽出する第2のステップと、(c) 低密度領域にダミー領域を生成する第3のステップと、(d) ダミー領域のパターンと活性領域のパターンとを合成することにより半導体領域のパターンを生成する第4のステップとを含むものである。

【0040】このような半導体集積回路装置の設計方法によれば、半導体集積回路装置の回路を構成するMOSFETの活性領域をレイアウトした後、この活性領域の密度が低い領域を抽出し、この低密度領域にダミー領域を生成してこれを活性領域と合成し、半導体領域パターンを生成するため、半導体基板上に形成される半導体領域のパターンは、低密度領域を有さず、また、その密度もほぼ均一なパターンとすることができる。その結果、浅溝素子分離構造を形成する際のCMP研磨時に半導体領域に凹みを生じず、半導体集積回路装置を高集積化に対応したものとすることができる。

【0041】(7) 本発明の半導体集積回路装置の設計方法は、前記(6)記載の半導体集積回路装置の設計方法であって、活性領域間の距離が $100\mu\text{m}$ 以上である場合には、活性領域の密度が低い低密度領域であると判定するものである。

【0042】このような半導体集積回路装置の設計方法によれば、活性領域間の距離が $100\mu\text{m}$ 以上である場合には、活性領域の密度が低い低密度領域であると判定するため、判定の基準を明確にして、設計処理を容易に

することができる。その結果、設計処理をコンピュータ等を用いて自動化することも可能となり、設計期間の短縮、設計の信頼性の向上を図ることができる。

【0043】なお、 $100\mu\text{m}$ という数値を例示した理由は、前記(3)に記載した理由と同じである。

【0044】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の部材には同一の符号を付し、その繰り返しの説明は省略する。

【0045】(実施の形態1) 図1は、本発明の一実施の形態である半導体集積回路装置の周辺回路領域における素子分離領域と半導体領域とのレイアウトの一例を示した平面図であり、図2は、本実施の形態の半導体集積回路装置の図1におけるI I-I I線断面図である。

【0046】本実施の形態1の半導体集積回路装置の周辺回路領域は、素子形成領域Aと配線領域Bとを有し、素子形成領域Aには周辺回路を構成する素子であるMOSFETが形成されている。

20 【0047】半導体基板1の主面には、浅溝素子分離領域2が形成され、浅溝素子分離領域2に囲まれた半導体領域3を囲むようにpウェル4およびnウェル5が形成されている。

【0048】半導体領域3のうち、素子形成領域Aに形成された半導体領域3aは、MOSFETの活性領域として作用し、配線領域Bに形成された半導体領域3bは、後に説明する浅溝素子分離構造を形成する際にCMP研磨の平坦性を向上するためのダミー領域として作用する。

30 【0049】すなわち、半導体領域3bを設けることにより、半導体領域3aのみの場合の局所的なパターン密度の不均一を均一化し、孤立した半導体領域の形成を防止する。たとえば、半導体領域3cのように半導体領域3bが形成されない場合には孤立した半導体領域となるものに対して、半導体領域3bを形成することにより、そのような孤立状態となることを防止することができる。

【0050】なお、半導体領域3cと半導体領域3bに着目すれば、半導体領域3cの近傍では依然孤立状態が解消できていないように見受けられるが、発明が解決しようとする課題の項で説明したとおり、半導体領域により形成されるラインアンドスペースの距離がある臨界値以下、たとえば $100\mu\text{m}$ 以下である場合には、そのスペース部に設けられた半導体領域に凹みが生じることはない。つまり、本実施の形態1では、半導体領域3bの間隔は $100\mu\text{m}$ 以下とすることにより半導体領域3cに凹みを発生しないようにすることができる。

40 【0051】半導体領域3aのpウェル4の主面にはnチャネル形のMOSFETQnが形成され、半導体領域3aのnウェル5の主面にはpチャネル形のMOSFET

TQpが形成されている。

【0052】MOSFETQnは、pウェル4の主面上に、たとえばシリコン酸化膜からなるゲート絶縁膜6を介して形成されたゲート電極7と、ゲート電極7の両側のpウェル4の主面に形成された不純物半導体領域8aとから構成される。ゲート電極7は、たとえばボロンが高濃度にドーピングされた低抵抗の多結晶シリコン膜からなり、不純物半導体領域8aには、n形の導電形を示す不純物たとえばリンまたは砒素が高濃度にドーピングされている。

【0053】MOSFETQpは、nウェル5の主面上に、MOSFETQnと同様にゲート絶縁膜6を介して形成されたゲート電極7と、ゲート電極7の両側の不純物半導体領域8bとから構成される。不純物半導体領域8bには、p形の導電形を示す不純物たとえばボロンが高濃度にドーピングされている。

【0054】また、MOSFETQnおよびQpのゲート電極7の側面には、サイドウォール9が形成されている。

【0055】半導体基板1の全面にMOSFETQn、Qpを覆うように絶縁膜10が形成され、配線領域Bの絶縁膜10の上面上には、配線11が形成されている。また、配線11を覆って、半導体基板1の全面に絶縁膜12が形成されている。

【0056】絶縁膜10および絶縁膜12は、たとえばTEOSを用いたCVD法あるいはプラズマCVD法によるシリコン酸化膜とすることができ、配線11は、アルミニウム等の金属膜を用いることができる。

【0057】このような半導体集積回路装置によれば、配線領域Bに半導体領域3bを形成しているため、浅溝素子分離領域2を形成する際のCMP研磨時に、孤立領域が形成されず、半導体基板1の表面に凹みを生じることがない。その結果、フォトリソグラフィのフォーカスずれを防止して、高集積化に対応した半導体集積回路装置とすることができる。

【0058】次に、図3から図12を用いて、本実施の形態1の半導体集積回路装置の製造方法を説明する。

【0059】図3から図12は、本発明の一実施の形態である半導体集積回路装置の製造方法の一例を工程順に示した要部断面図である。

【0060】まず、単結晶シリコンからなる半導体基板1を用意し、薄いシリコン酸化膜(図示せず)を形成した後、シリコン窒化膜13を形成する(図3)。

【0061】薄いシリコン酸化膜は、シリコン窒化膜13のストレスによる半導体基板1の主面への欠陥の発生を防止するために形成されるものであり、シリコン窒化膜13は、たとえばプラズマCVDにより形成され、後に説明する浅溝を形成する際のハードマスクとして使用するものである。

【0062】次に、シリコン窒化膜13の全面にフォ

レジストを塗布し、半導体領域3となる領域のみを残してフォトレジストをパターニングし、レジストパターン14を形成する。さらに、レジストパターン14をマスクとしてシリコン窒化膜13をエッチングし、パターニングする(図4)。

【0063】フォトレジストのパターニングには公知のフォトリソグラフィ技術を用いることができ、また、シリコン窒化膜13のエッチングには公知のドライエッチング技術を用いることができる。

10 【0064】次に、レジストパターン14をアッシング技術を用いて除去した後、シリコン窒化膜13のパターンをマスクとして浅溝15を形成する(図5)。

【0065】浅溝15の形成は、たとえば、ドライエッチング技術を用いることができる。ここで、浅溝15の密度は、ほぼ均一に形成されている。

【0066】次に、半導体基板1の全面に絶縁膜16を堆積する(図6)。絶縁膜16は、たとえばシリコン酸化膜とすることができ、TEOSを用いたCVD法によるTEOSシリコン酸化膜とすることもできる。ここで、絶縁膜16の膜厚は、浅溝15が完全に埋め込まれる以上の膜厚が必要である。また、堆積された後の絶縁膜16の表面は、下地の半導体基板1の形状を反映し、凹凸が形成されているが、凸部の密度は、浅溝15の密度と同様にほぼ均一となっている。

【0067】次に、絶縁膜16をCMP法を用いて研磨し、表面を平坦化する(図7)。

【0068】ここで、CMP法による研磨の際、表面の特定の箇所に凹みが形成されることなく、平坦性に優れた表面を形成することができる。すなわち、絶縁膜16の表面の凹凸は、浅溝15の密度を反映してほぼ均一に形成されているため、特定の箇所に研磨圧力が集中することがないためである。その結果、半導体基板1の表面に形成される半導体領域3に凹みが形成されることがなく、半導体基板1の表面を高い精度で平坦にすることができる。

【0069】なお、シリコン窒化膜13は、絶縁膜16の材料であるシリコン酸化膜よりもCMP研磨の速度が遅いため、研磨ストップとして機能させることができる。

40 【0070】次に、シリコン窒化膜13をエッチングして除去し、半導体領域3を形成する(図8)。なお、シリコン窒化膜13の膜厚は十分薄いため、半導体基板1表面の平坦性を損なうことはない。

【0071】次に、MOSFETQnが形成される位置にpウェル4を、MOSFETQpが形成される位置にnウェル5を形成する(図9)。

【0072】pウェル4およびnウェル5の形成は、フォトレジストをマスクにして公知のイオン注入法により形成することができる。なお、本実施の形態1では、MOSFETが形成されない領域にもpウェル4およびn



ウェル5が形成されているが、形成されていなくてもかまわない。

【0073】次に、ゲート絶縁膜6となるシリコン酸化膜およびゲート電極7となる多結晶シリコン膜を堆積し、シリコン酸化膜および多結晶シリコン膜の積層膜を公知のフォトリソグラフィ技術を用いてパターニングし、ゲート絶縁膜6およびゲート電極7を形成する(図10)。

【0074】ゲート絶縁膜6となるシリコン酸化膜は熱CVDにより、ゲート電極7となる多結晶シリコン膜はCVD法により形成することができる。

【0075】なお、ゲート電極7のパターニングを行うフォトリソグラフィ工程では、一般的に最も微細な加工精度が要求される工程であり、リソグラフィのフォーカスマージンも最も厳しいものとなる。しかし、本実施の形態1では、半導体領域3に凹みが生じず、半導体基板1の表面の平坦性が高い精度で維持されているため、厳しいフォーカスマージンが要求される工程でも安定して高精度な微細加工を行うことができる。

【0076】次に、MOSFETQnが形成されるpウェル4の主面に、フォトレジストおよびゲート電極7をマスクとして不純物半導体領域8aを形成し、MOSFETQpが形成されるnウェル5の主面に、フォトレジストおよびゲート電極7をマスクとして不純物半導体領域8bを形成する。さらに、ゲート電極7の側面にサイドウォール9を形成する(図11)。

【0077】不純物半導体領域8aおよび不純物半導体領域8bはMOSFETのソース・ドレインとして機能し、不純物半導体領域8aはn形の導電形を示す不純物たとえばリンまたは砒素をイオン注入することにより、不純物半導体領域8bはp形の導電形を示す不純物たとえばボロンをイオン注入することにより形成することができる。また、サイドウォール9は、たとえばシリコン酸化膜を半導体基板1の全面に形成した後、公知の異方性エッチングを用いてエッチングして形成することができる。また、サイドウォール9の材料としてはシリコン窒化物であってもよい。

【0078】なお、サイドウォール9を形成した後に、これをマスクとしてさらに高濃度不純物半導体領域をイオン注入により形成し、不純物半導体領域8a、8bをいわゆるLDD(Lightly Doped Drain)構造としてもよい。

【0079】次に、たとえばTEOSを用いたCVD法によりシリコン酸化膜を堆積し、これをCMP法またはエッチバックにより平坦化し、絶縁膜10を形成する。さらに、たとえばアルミニウムからなる金属膜を公知のスパッタ法等により堆積し、フォトリソグラフィ技術を用いてパターニングして配線11を形成する(図12)。なお、絶縁膜10は、SOG(Spin On Glass)法を用いて平坦化してもよい。

【0080】最後に、たとえばTEOSを用いたCVD法によりシリコン酸化膜を堆積し、絶縁膜12を形成して、図2に示す半導体集積回路装置がほぼ完成する。

【0081】このような半導体集積回路装置およびその製造方法によれば、周辺回路領域内で素子が形成されない領域である配線領域Bすなわち低密度素子領域においても、半導体領域3bが形成されているため、半導体領域3の密度が均一となり、孤立した半導体領域が形成されることがない。その結果、浅溝素子分離領域2を形成する工程におけるCMP研磨の際に特定の半導体領域に凹みが形成されず、半導体基板1の表面を高い精度で平坦化することができる。これにより、ゲート電極7をパターニングする際のフォトリソグラフィ工程における厳しいフォーカスマージンの要求を達成し、フォーカスずれを防止して、半導体集積回路装置の高集積化に対応することができる。

【0082】また、半導体基板1に形成される半導体領域3の間隔を100 $\mu$ m以内にするることにより、特定の半導体領域3に凹みを生じることなく、半導体基板1の表面を平坦にすることができる。

【0083】(実施の形態2)図13は、本発明の他の実施の形態である半導体集積回路装置の一例を示した要部断面図である。

【0084】本実施の形態2の半導体集積回路装置は、配線領域Bにおける半導体領域3bに不純物半導体領域17が形成されている以外は、実施の形態1に記載した半導体集積回路装置と同様である。したがって、半導体領域3bに形成された不純物半導体領域17についてのみ説明し、その他の部材についての説明は省略する。

【0085】半導体領域3bに形成された不純物半導体領域17は、pウェル4に形成されている場合にはp形の導電性を示す不純物たとえばボロンが高濃度にドーブされ、nウェル5に形成されている場合にはn形の導電性を示す不純物たとえばリンまたは砒素が高濃度にドーブされたものとして利用することができる。

【0086】このような半導体集積回路装置によれば、従来配線領域Bの下部には特定の機能を有する素子が形成されていなかったのに対し、給電領域という機能素子を形成することにより配線領域Bの下部を有効に使用することができるという利点を、実施の形態1に記載した半導体基板1の表面を平坦にすることができるという利点と同時に得ることができる。

【0087】なお、不純物半導体領域17は、不純物半導体領域8aおよび不純物半導体領域8bと同時に形成することができるので、製造方法の詳細な説明は省略する。

【0088】(実施の形態3)図14は、本発明のさらに他の実施の形態である半導体集積回路装置の一例を示した要部断面図である。

【0089】本実施の形態3の半導体集積回路装置は、配線領域Bにおける半導体領域3bのpウェル4上に電源間容量素子Cが形成され、pウェル4およびnウェル5の主面に各ウェルへの給電用の不純物半導体領域17が形成されているものであり、その他MOSFETQn、Qp等の部材については、実施の形態1に記載したものと同様であり、給電用の不純物半導体領域17については実施の形態2と同様である。したがって、以下の説明では、電源間容量素子Cについてのみ説明し、その他の部材についての説明は省略する。

【0090】電源間容量素子Cは、配線領域Bの半導体領域3bに形成されたpウェル4上に形成され、ゲート電極7と同時に形成される容量電極18と、容量電極18の両側の不純物半導体領域19とから構成される。容量電極18の側面には、サイドウォール9が形成されている。

【0091】容量電極18は、ゲート電極7におけるゲート絶縁膜6と同様に絶縁膜20を介してpウェル4の主面上に形成され、また、不純物半導体領域19には、n形の不純物たとえばリンまたは砒素が高濃度にドーピングされている。すなわち、電源間容量素子Cは、MOSFETのゲートとソースおよびドレインとの間の容量を利用して容量素子を構成するものである。なお、容量電極18は電源Vccに接続され、不純物半導体領域19はともに電源Vssに接続される。また、容量はVss-Vccのみならず、他の安定化容量として用いてもよい。

【0092】このような半導体集積回路装置によれば、従来配線領域Bの下部には特定の機能を有する素子が形成されていなかったのに対し、電源間容量素子Cという機能素子を形成することにより配線領域Bの下部を有効に使用することができるという利点を、実施の形態1に記載した半導体基板1の表面を平坦にすることができるという利点と同時に得ることができる。

【0093】なお、容量電極18および絶縁膜20は、ゲート電極7およびゲート絶縁膜6と同時に形成することができ、不純物半導体領域19は不純物半導体領域8aと同時に形成することができるので、製造方法の詳細な説明は省略する。

【0094】（実施の形態4）図15は、本発明の他の実施の形態である半導体集積回路装置の一例を示した要部断面図である。

【0095】本実施の形態4の半導体集積回路装置は、配線領域Bにおける半導体領域3bのpウェル4上に拡散層対向形静電破壊用保護素子D<sub>1</sub>が形成され、pウェル4およびnウェル5の主面に各ウェルへの給電用の不純物半導体領域17が形成されているものであり、その他のMOSFETQn、Qp等の部材については、実施の形態1に記載したものと同様であり、給電用の不純物半導体領域17については実施の形態2と同様である。

したがって、以下の説明では、拡散層対向形静電破壊用保護素子D<sub>1</sub>についてのみ説明し、その他の部材についての説明は省略する。

【0096】拡散層対向形静電破壊用保護素子D<sub>1</sub>は、配線領域Bの半導体領域3bに形成されたpウェル4の主面の不純物半導体領域21により構成される。不純物半導体領域21にはn形の不純物が高濃度にドーピングされ、電源Vssおよび電源Vccが交互に接続される。すなわち、電源Vssおよび電源Vcc間を寄生ラテラルバイポーラトランジスタにより静電破壊用保護素子を形成する。

【0097】このような半導体集積回路装置によれば、従来配線領域Bの下部には特定の機能を有する素子が形成されていなかったのに対し、拡散層対向形静電破壊用保護素子D<sub>1</sub>という機能素子を形成することにより配線領域Bの下部を有効に使用することができるという利点を、実施の形態1に記載した半導体基板1の表面を平坦にすることができるという利点と同時に得ることができる。

【0098】なお、不純物半導体領域21は、不純物半導体領域8aと同時に形成することができるので、製造方法の詳細な説明は省略する。

【0099】（実施の形態5）図16は、本発明のさらに他の実施の形態である半導体集積回路装置の一例を示した要部断面図である。

【0100】本実施の形態5の半導体集積回路装置は、配線領域Bにおける半導体領域3bのpウェル4上にクランプMOS形静電保護素子D<sub>2</sub>が形成され、pウェル4およびnウェル5の主面に各ウェルへの給電用の不純物半導体領域17が形成されているものであり、その他MOSFETQn、Qp等の部材については、実施の形態1に記載したものと同様であり、給電用の不純物半導体領域17については実施の形態2と同様である。したがって、以下の説明では、クランプMOS形静電保護素子D<sub>2</sub>についてのみ説明し、その他の部材についての説明は省略する。

【0101】クランプMOS形静電保護素子D<sub>2</sub>は、配線領域Bの半導体領域3bのpウェル4上にゲート絶縁膜22を介して形成されたゲート電極23と、ゲート電極23の両側の不純物半導体領域24とから構成される。ゲート電極23の側面には、サイドウォール9が形成されている。不純物半導体領域24にはn形の不純物たとえばリンまたは砒素が高濃度にドーピングされ、不純物半導体領域24は交互に電源Vssおよび電源Vccに接続される。また、ゲート電極23は電源Vssに接続されている。

【0102】このような半導体集積回路装置によれば、従来配線領域Bの下部には特定の機能を有する素子が形成されていなかったのに対し、クランプMOS形静電保護素子D<sub>2</sub>という機能素子を形成することにより配線領

域Bの下部を有効に使用することができるという利点を、実施の形態1に記載した半導体基板1の表面を平坦にすることができるという利点と同時に得ることができる。

【0103】なお、ゲート絶縁膜22およびゲート電極23は、ゲート絶縁膜6およびゲート電極7と同時に形成することができ、不純物半導体領域24は不純物半導体領域8aと同時に形成することができるので、製造方法の詳細な説明は省略する。

【0104】(実施の形態6) 図17は、本発明の他の実施の形態である半導体集積回路装置の一例を示した要部断面図である。

【0105】本実施の形態6の半導体集積回路装置は、配線領域Bにおける半導体領域3bのnウェル5に形成されたダイオード形静電破壊用保護素子D<sub>3</sub>が形成され、pウェル4およびnウェル5の主面に各ウェルへの給電用の不純物半導体領域17が形成されているものであり、その他のMOSFETQ<sub>n</sub>、Q<sub>p</sub>等の部材については、実施の形態1に記載したものと同様であり、給電用の不純物半導体領域17については実施の形態2と同様である。したがって、以下の説明では、ダイオード形静電破壊用保護素子D<sub>3</sub>についてのみ説明し、その他の部材についての説明は省略する。

【0106】ダイオード形静電破壊用保護素子D<sub>3</sub>は、nウェル5の主面に形成されたp形の導電形を示す不純物たとえばボロンが高濃度にドーピングされたp形不純物半導体領域25、およびn形の導電形を示す不純物たとえばリンまたは砒素が高濃度にドーピングされたn形不純物半導体領域26からなる。p形不純物半導体領域25は電源V<sub>ss</sub>に接続され、n形不純物半導体領域26は電源V<sub>cc</sub>に接続される。

【0107】このような半導体集積回路装置によれば、従来配線領域Bの下部には特定の機能を有する素子が形成されていなかったのに対し、ダイオード形静電破壊用保護素子D<sub>3</sub>という機能素子を形成することにより配線領域Bの下部を有効に使用することができるという利点を、実施の形態1に記載した半導体基板1の表面を平坦にすることができるという利点と同時に得ることができる。

【0108】なお、p形不純物半導体領域25およびn形不純物半導体領域26は、不純物半導体領域8aおよび不純物半導体領域8bと同時に形成することができるので、製造方法の詳細な説明は省略する。

【0109】(実施の形態7) 図18は、本発明のさらに他の実施の形態であるDRAMの一例を示した平面図であり、図19は、図18におけるXIX部を拡大した平面図である。なお、図19は、簡単のために半導体基板1上に形成された浅溝素子分離領域2と半導体領域3とを示し、また、一部メモリセルのビット線27とワード線28とを示して、DRAMを構成する蓄積容量、金

属配線等他の部材は省略している。

【0110】本実施の形態7のDRAMは、図18に示すように、半導体基板1に、メモリセルアレイ領域29、直接周辺回路であるセンスアンプ・列デコード領域30および行デコード領域31、間接周辺回路領域である行駆動回路32および列選択・出力回路領域33を有するものである。また、図19に示すように、半導体基板1上には浅溝素子分離構造により形成された浅溝素子分離領域2と浅溝素子分離領域2に囲まれた半導体領域3とを有するものである。

【0111】メモリセルアレイ領域29には、メモリセルが規則的に配列されており、メモリセルを構成するMOSFETの活性領域である半導体領域34も規則的に配列されている。

【0112】センスアンプ・列デコード領域30には、メモリセルのビット線27に接続されるセンスアンプと、列選択を実行する列デコードが形成され、センスアンプおよび列デコードを構成するMOSFETの活性領域となる半導体領域35が形成されている。

【0113】行デコード領域31には、メモリセルのワード線が接続され、行選択を実行する行デコードが形成され、行デコードを構成するMOSFETの活性領域となる半導体領域36が形成されている。

【0114】さらに、本実施の形態7のDRAMでは、メモリセルアレイ領域29、センスアンプ・列デコード領域30、行デコード領域31、行駆動回路32および列選択・出力回路領域33の各領域の相互間の境界領域37にメモリセルアレイ領域29の半導体領域34と同一形状の半導体領域38が形成されている。

【0115】このようなDRAMによれば、半導体基板1の全面にわたって、メモリセルアレイ領域29の半導体領域34と同一形状の半導体領域38が形成されているため、半導体領域の形成精密度がほぼ均一となり、孤立した半導体領域が形成されることがない。この結果、浅溝素子分離領域2を形成する際のCMP研磨時に特定の半導体領域に凹みが形成されず、DRAMを構成するMOSFETのゲート電極を形成する際のフォトリソグラフィのフォーカスずれを防止して、DRAMの高集積化に対応することができる。

【0116】なお、半導体基板1の周辺領域39にもメモリセルアレイ領域29の半導体領域34と同一形状の半導体領域38を形成してもよい。

【0117】また、境界領域37および周辺領域39に形成される半導体領域38の形状は、センスアンプ・列デコード領域30、行デコード領域31、行駆動回路32または列選択・出力回路領域33の各領域に形成される半導体領域の形状と同一であっても良く、さらに、境界領域37および周辺領域39に形成される半導体領域38の密度が、メモリセルアレイ領域29、センスアンプ・列デコード領域30、行デコード領域31、行駆動

10

20

30

40

50

回路 3 2 または列選択・出力回路領域 3 3 の各領域に形成される半導体領域の密度と同等である限りは、その形状が限定されることはなく、方形、矩形等任意の形状であってもよい。

【0118】なお、本実施の形態 7 の DRAM の製造方法は、実施の形態 1 に記載の浅溝素子分離領域 2、MOSFET<sub>n</sub>、Q<sub>p</sub>、配線 1 1 等の製造方法と同様であり、また、蓄積容量、ビット線の製造方法は、公知の製造方法を用いることができるため、説明を省略する。

【0119】（実施の形態 8）図 2 0 は、本発明の他の実施の形態である半導体集積回路装置の設計方法の一例を示したフローチャートである。

【0120】本実施の形態 8 の半導体集積回路装置の設計方法は、半導体集積回路装置を構成する MOSFET の活性領域パターンから、実施の形態 1 ~ 7 に記載した半導体集積回路装置の半導体基板 1 に形成される浅溝素子分離領域 2 とその浅溝素子分離領域 2 に囲まれる半導体領域 3 のパターンを自動的に設計するものである。

【0121】まず、半導体集積回路装置に要求される機能等から導かれる回路設計データを公知の設計手法により生成する（ステップ 2 0 1）。

【0122】次に、前記回路設計データから MOSFET の活性領域パターンを公知の設計手法により生成する（ステップ 2 0 2）。

【0123】次に、活性領域パターンをメッシュに分割する（ステップ 2 0 3）。ここで、メッシュ間隔は、活性領域パターンの平均間隔と同程度とすることができる。

【0124】次に、メッシュ内の活性領域密度を計算する（ステップ 2 0 4）。活性領域密度は、メッシュ面積に対する活性領域面積の総和とすることができる。

【0125】次に、活性領域密度が規定値よりも大きいかなかを判別する（ステップ 2 0 5）。規定値は、半導体基板 1 全面の平均活性領域密度よりも一定の値だけ小さい値とすることができる。たとえば、平均活性領域密度の 5 0 % 程度とすることができる。

【0126】活性領域密度が規定値よりも大きい場合には次ステップであるステップ 2 0 6 に進み、活性領域密度が規定値よりも小さい場合には、メッシュ内にダミー領域を追加する（ステップ 2 0 7）。ダミー領域の形状は任意であるが、ダミー領域の面積は、メッシュ面積の 5 0 % 程度とすることができる。

【0127】ステップ 2 0 7 でダミー領域を追加した後は、ステップ 2 0 6 に進み、全メッシュの検定が終了したかなかを判別する（ステップ 2 0 6）。

【0128】全メッシュの検定が終了していない場合は、検定対象を次のメッシュに移動し（ステップ 2 0 8）、ステップ 2 0 4 に戻る。全メッシュの検定が終了している場合には処理を終了する（ステップ 2 0 9）。

【0129】このような半導体集積回路装置の設計方法

によれば、活性領域パターンからそのパターンの粗密を自動的に判定し、活性領域パターン密度の低い部分にはダミー領域を自動的に追加して浅溝素子分離領域に囲まれた半導体領域のパターンを生成することができる。このような半導体領域パターンの密度は半導体基板 1 の全面にわたってほぼ均一となっているため、このパターンによるマスクを使用して浅溝素子分離領域 2 を形成する場合には半導体領域 3 が孤立することなくほぼ均一に形成されることとなる。よって、このような半導体基板 1 に浅溝素子分離領域 2 を形成する際の CMP 研磨時に半導体領域 3 に凹みが形成されることなく、その後に実施されるフォトリソグラフィのフォーカスずれを防止して半導体集積回路装置の高集積化に対応することができる。

【0130】なお、活性領域密度の粗密は、図 2 1 に示すような設計方法によって判定することもできる。

【0131】図 2 1 は、本発明の他の実施の形態である半導体集積回路装置の設計方法の他の例を示したフローチャートである。

【0132】すなわち、上記と同様に回路設計データを取得し（ステップ 2 1 1）、活性領域パターンを生成して（ステップ 2 1 2）、活性領域パターン間の距離を計算する（ステップ 2 1 3）。この計算した距離が 1 0 0  $\mu\text{m}$  よりも小さいかなかを判別し（ステップ 2 1 4）、小さい場合には全活性領域パターンについて検定が終了したかなかの判別を行うステップ（ステップ 2 1 5）に進み、大きい場合には活性領域パターン間にダミー領域パターンを挿入する（ステップ 2 1 6）。ダミー領域パターンを挿入後ステップ 2 1 5 に進み、全活性領域パターンについて検定が終了したかなかの判別を行い（ステップ 2 1 5）、終了していない場合には検定の対象を次の活性領域パターンに移動して（ステップ 2 1 7）、ステップ 2 1 3 に戻り、終了している場合には、処理を終了する（ステップ 2 1 8）。

【0133】このような半導体集積回路装置の設計方法では、活性領域パターンの粗密の判断が 1 0 0  $\mu\text{m}$  の距離を有するかなかという明確な判断基準の下に行われるため、判断を明確化し、設計を容易に行うことができる。

【0134】以上、本発明者によってなされた発明を発明の実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。

【0135】

【発明の効果】本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下のとおりである。

【0136】すなわち、CMP 法を用いて浅溝素子分離領域を形成する場合に、半導体基板の浅溝による凸パタ

ーン密度の粗密によって発生する凹みを防止することができる。

【0137】また、凹みにより発生する表面形状の高低差に起因したフォトリソグラフィ時のマージンの低下を防止して、さらなる高集積化への対応を容易にすることができる。

【0138】さらに、従来デッドスペースとなっていた素子分離領域に機能素子を形成することができ、半導体集積回路装置の集積度と性能の向上を図ることができる。

【0139】また、半導体基板の浅溝に起因する半導体基板表面の凹みを発生しない半導体領域パターンの設計を容易に行うことができる。

#### 【図面の簡単な説明】

【図1】本発明の一実施の形態である半導体集積回路装置の周辺回路領域における素子分離領域と半導体領域とのレイアウトの一例を示した平面図である。

【図2】本発明の一実施の形態である半導体集積回路装置の図1におけるI I - I I 線断面図である。

【図3】本発明の一実施の形態である半導体集積回路装置の製造方法の一例を工程順に示した要部断面図である。

【図4】本発明の一実施の形態である半導体集積回路装置の製造方法の一例を工程順に示した要部断面図である。

【図5】本発明の一実施の形態である半導体集積回路装置の製造方法の一例を工程順に示した要部断面図である。

【図6】本発明の一実施の形態である半導体集積回路装置の製造方法の一例を工程順に示した要部断面図である。

【図7】本発明の一実施の形態である半導体集積回路装置の製造方法の一例を工程順に示した要部断面図である。

【図8】本発明の一実施の形態である半導体集積回路装置の製造方法の一例を工程順に示した要部断面図である。

【図9】本発明の一実施の形態である半導体集積回路装置の製造方法の一例を工程順に示した要部断面図である。

【図10】本発明の一実施の形態である半導体集積回路装置の製造方法の一例を工程順に示した要部断面図である。

【図11】本発明の一実施の形態である半導体集積回路装置の製造方法の一例を工程順に示した要部断面図である。

【図12】本発明の一実施の形態である半導体集積回路装置の製造方法の一例を工程順に示した要部断面図である。

【図13】本発明の他の実施の形態である半導体集積回

路装置の一例を示した要部断面図である。

【図14】本発明のさらに他の実施の形態である半導体集積回路装置の一例を示した要部断面図である。

【図15】本発明の他の実施の形態である半導体集積回路装置の一例を示した要部断面図である。

【図16】本発明のさらに他の実施の形態である半導体集積回路装置の一例を示した要部断面図である。

【図17】本発明の他の実施の形態である半導体集積回路装置の一例を示した要部断面図である。

10 【図18】本発明のさらに他の実施の形態であるD R A Mの一例を示した平面図である。

【図19】図18におけるX I X部を拡大した平面図である。

【図20】本発明の他の実施の形態である半導体集積回路装置の設計方法の一例を示したフローチャートである。

【図21】本発明の他の実施の形態である半導体集積回路装置の設計方法の他の例を示したフローチャートである。

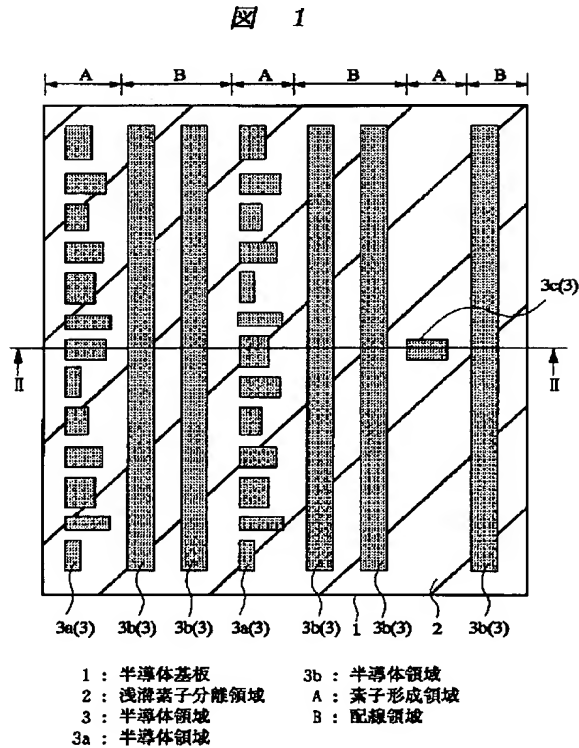
20 【図22】(a)は、本発明者らが検討したパターン密度と凹み量との関係を示した相関図であり、(b)は、凹み量を定量化するための定義を説明する概念図である。

#### 【符号の説明】

- 1 半導体基板
- 2 浅溝素子分離領域
- 3 半導体領域
- 3 a 半導体領域
- 3 b 半導体領域
- 30 3 c 半導体領域
- 4 p ウェル
- 5 n ウェル
- 6 ゲート絶縁膜
- 7 ゲート電極
- 8 a 不純物半導体領域
- 8 b 不純物半導体領域
- 9 サイドウォール
- 10 絶縁膜
- 11 配線
- 40 12 絶縁膜
- 13 シリコン窒化膜
- 14 レジストパターン
- 15 浅溝
- 16 絶縁膜
- 17 不純物半導体領域
- 18 容量電極
- 19 不純物半導体領域
- 20 絶縁膜
- 21 不純物半導体領域
- 50 22 ゲート絶縁膜

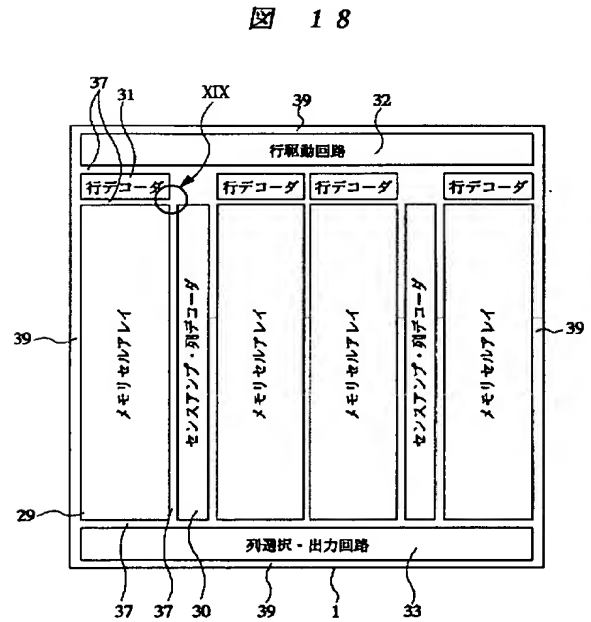
- 23 ゲート電極
- 24 不純物半導体領域
- 25 p形不純物半導体領域
- 26 n形不純物半導体領域
- 27 ビット線
- 28 ワード線
- 29 メモリセルアレイ領域
- 30 センスアンプ・列デコーダ領域
- 31 行デコーダ領域
- 32 行駆動回路
- 33 列選択・出力回路領域
- 34 半導体領域
- 35 半導体領域
- 36 半導体領域
- 37 境界領域
- 38 半導体領域

【図 1】



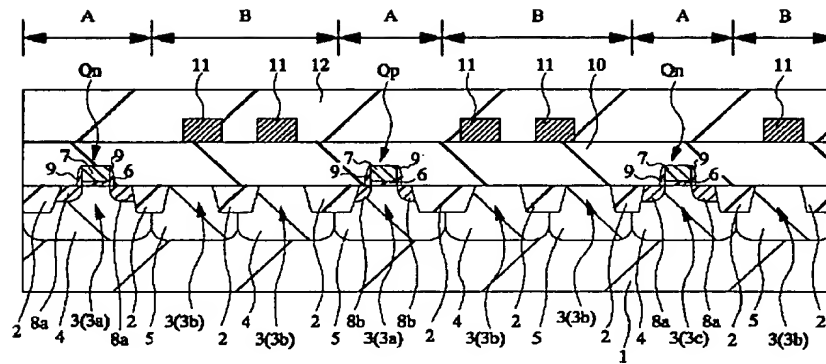
- 39 周辺領域
- 101 半導体基板
- 102 スペース部
- 103 孤立部
- 104 ライン部
- A 素子形成領域 B 配線領域
- C 電源間容量素子
- D<sub>1</sub> 拡散層対向形静電破壊用保護素子
- D<sub>2</sub> クランプMOS形静電保護素子
- 10 D<sub>3</sub> ダイオード形静電破壊用保護素子
- Q<sub>n</sub>, Q<sub>p</sub> MOSFET
- V<sub>cc</sub> 電源
- V<sub>ss</sub> 電源
- t<sub>1</sub> シリコン窒化膜厚
- t<sub>2</sub> シリコン窒化膜厚

【図 18】



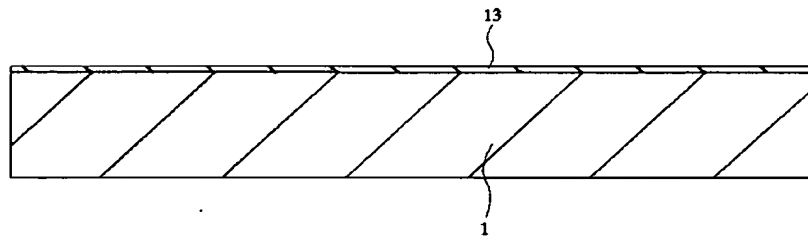
【図 2】

図 2



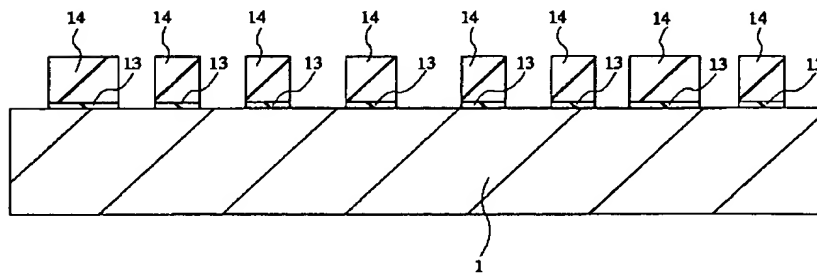
【図 3】

図 3



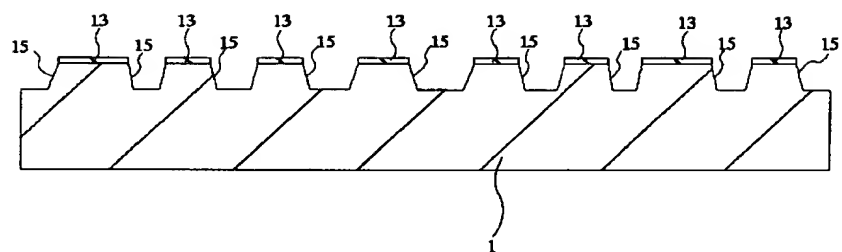
【図 4】

図 4



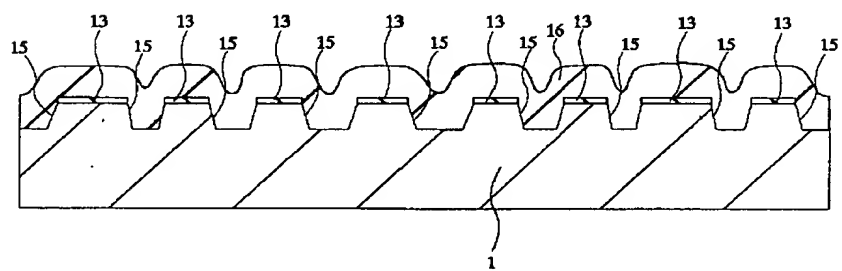
【図 5】

図 5



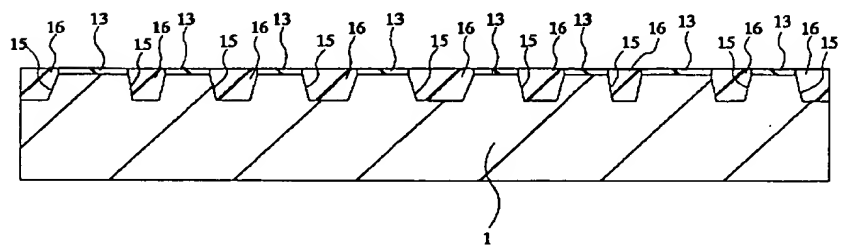
【図 6】

図 6



【図 7】

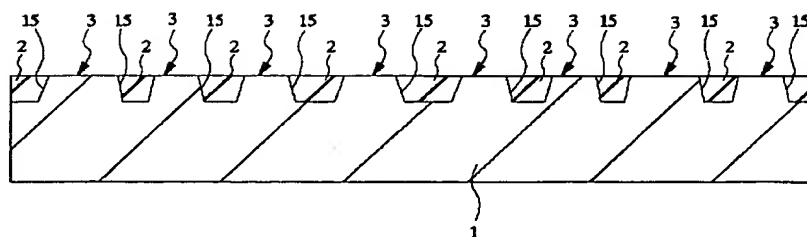
図 7





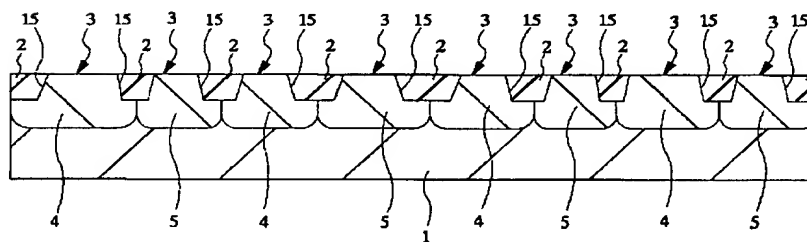
【図 8】

図 8



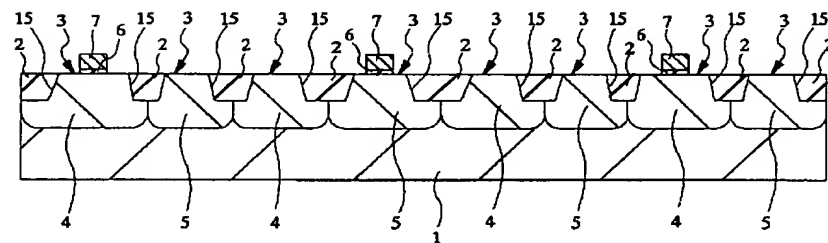
【図 9】

図 9

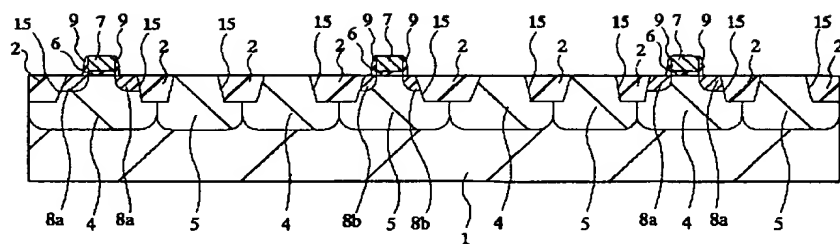


【図 10】

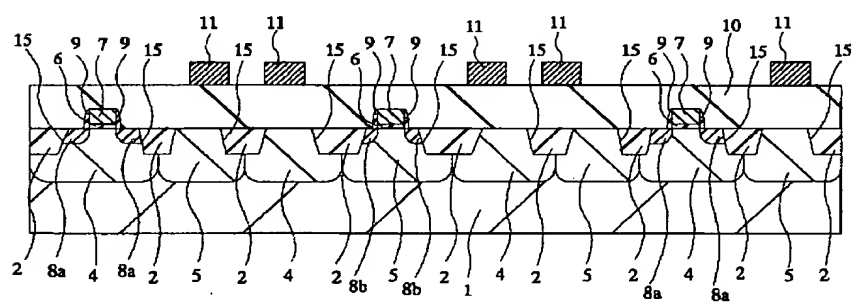
図 10



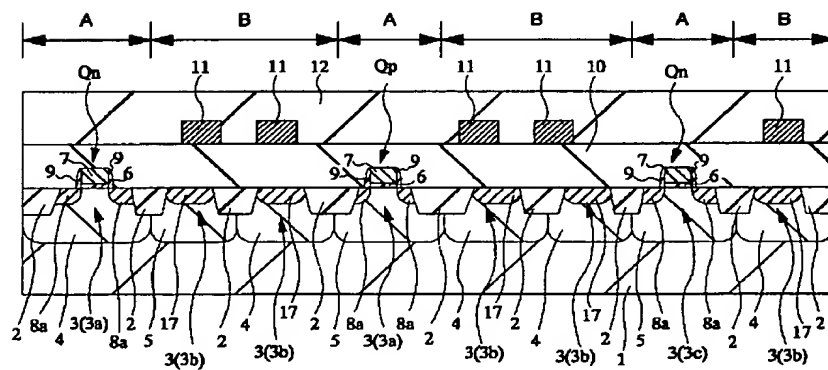
□ 11



12

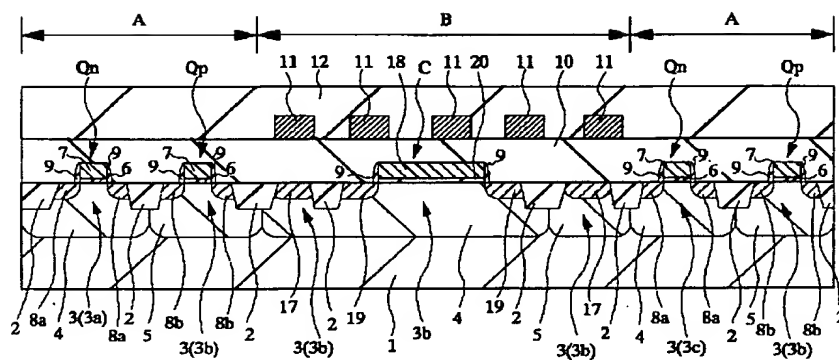


13



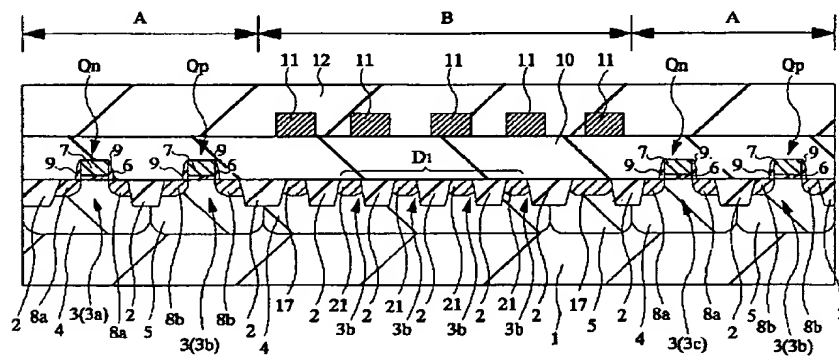
【図 14】

図 14



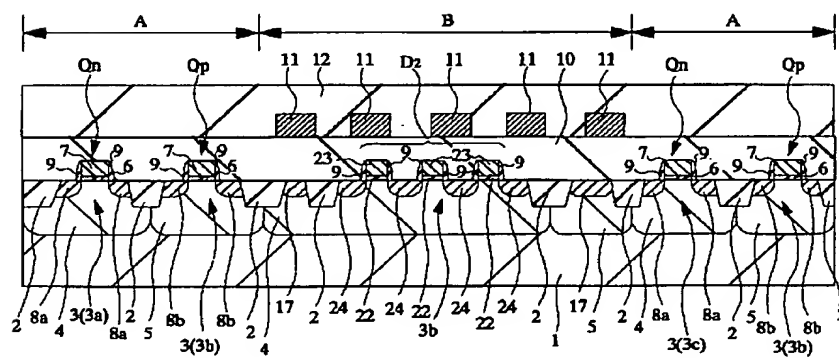
【図 15】

図 15

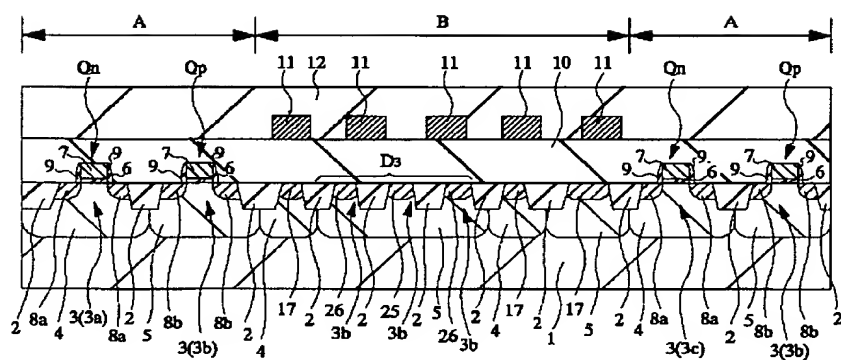


【図 16】

図 16



☒ 17



19

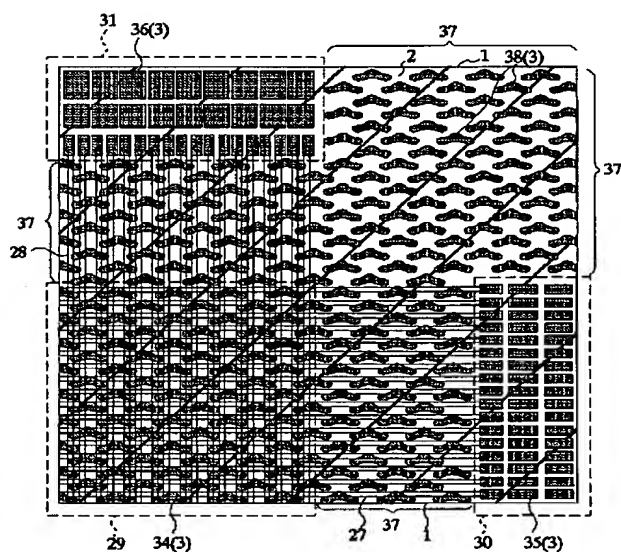
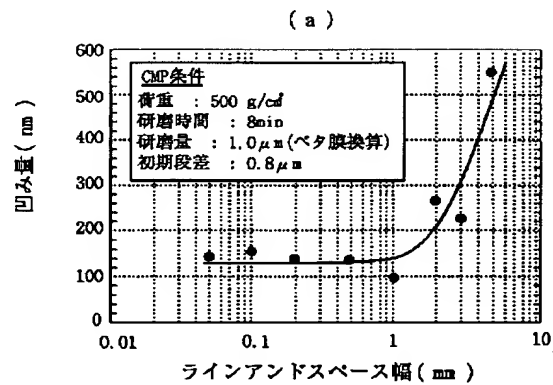
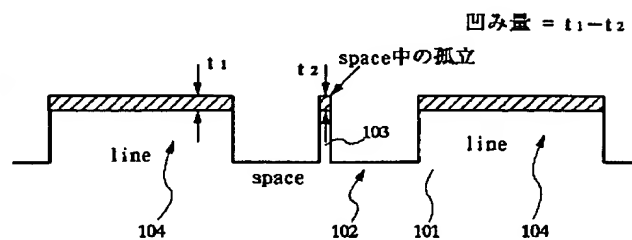


图 22

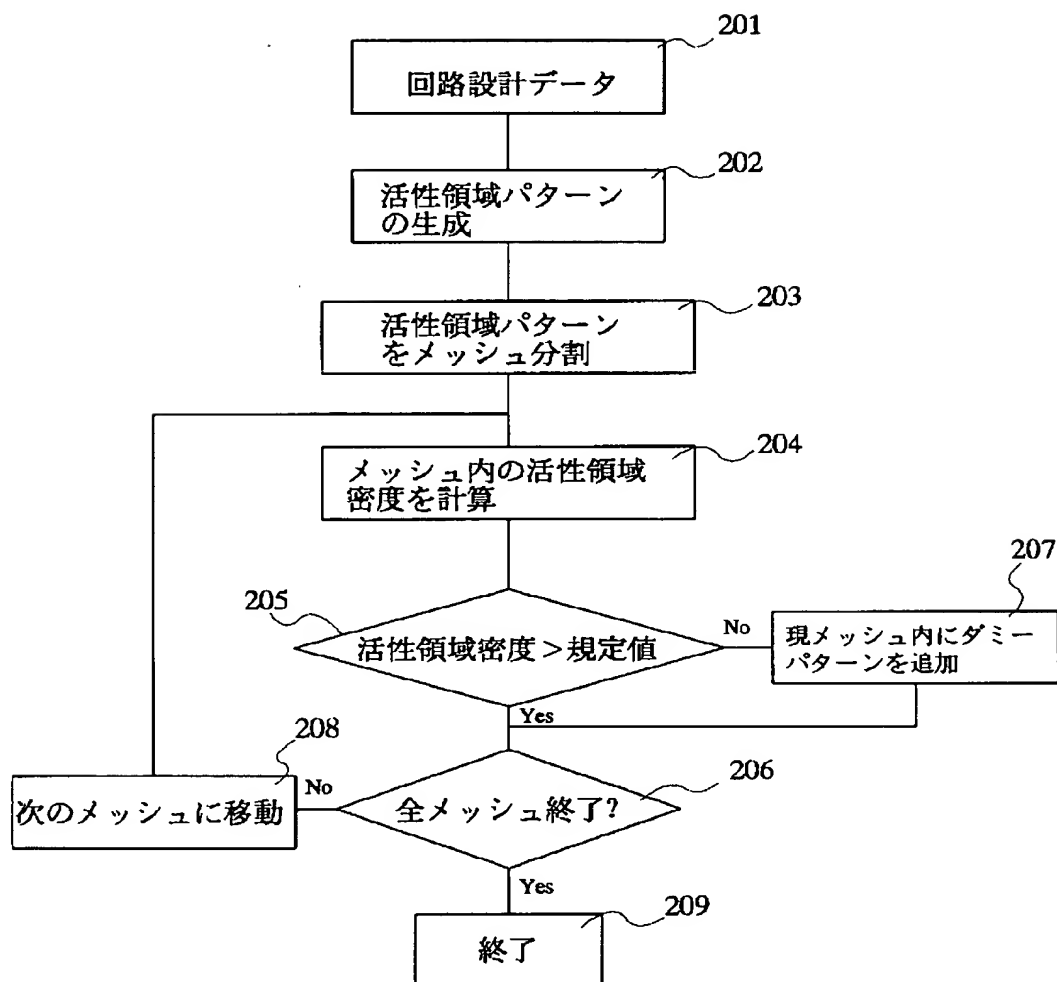


( b )



【図 20】

図 20



【図21】

図 21

